

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-182256

(43)Date of publication of application : 14.08.1986

(51)Int.Cl. H01L 27/15
H01L 21/20

(21)Application number : 60-022924

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.02.1985

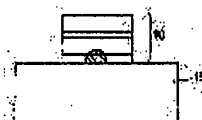
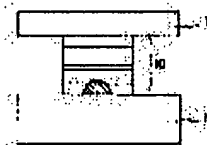
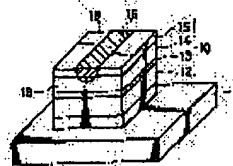
(72)Inventor : OKAJIMA MASASUE
SUZUKI NOBUO
NAKAMURA MASARU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a unified device by directly bringing mirror surfaces into contact mutually in a semiconductor substrate, on the surface thereof a light-emitting or light-receiving element being formed and the surface thereof being mirror-processed, and semiconductor substrate, on the surface thereof an electronic element being shaped and the surface thereof being mirror-processed.

CONSTITUTION: The upper surface of an N-GaAs substrate 11 is mirror-polished to roughness of 500\AA or less, N-Ga_{0.65}Al_{0.35}As 12, a non-added GaAs active layer 13, P-Ga_{0.65}Al_{0.35}As 14 and N-GaAs 15 are superposed through a MOCVD method, etc., and Zn is diffused to form a striped P-GaAs connecting layer 16. A laser base body 10 with a resonator and surface 18 in the vertical direction to the layer 16 is formed through RIE. An electronic device is shaped to an Si substrate 19, the surface thereof takes a P-type, and the substrate 19 is mirror-processed to the same surface roughness. Mirror surfaces are substituted by methanol and dried by 'Freon(R)', bonded mutually in an atmosphere of the quantity of floating of dust of 20 pcs/m³ or less, treated at 200° C or higher and joined firmly. According to the constitution, the characteristics of a laser and the electronic device can each be optimized, thus simply acquiring an integrated unified device having high reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭61-182256

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)8月14日

H 01 L 27/15
21/206819-5F
7739-5F

審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭60-22924

⑯ 出 願 昭60(1985)2月8日

⑰ 発 明 者	岡 島	正 季	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑱ 発 明 者	鈴 木	信 夫	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑲ 発 明 者	中 村	優	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑳ 出 願 人	株 式 会 社	東 芝	川崎市幸区堀川町72番地	
㉑ 代 理 人	弁 理 士	鈴 江 武 彦	外2名	

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

- (1) 表面側に半導体発光素子或いは半導体受光素子が形成され且つ表面側が鏡面状態に形成された第1の半導体基板と、表面側に電子素子が形成され且つ表面側が鏡面状態に形成された第2の半導体基板とを具備し、上記各半導体基板はその表面側を直接接着されて一体化されてなることを特徴とする半導体装置。
- (2) 第1の半導体基板の表面側に半導体発光素子或いは半導体受光素子を形成し、且つその表面側を平坦化する工程と、第2の半導体基板の表面側に電子素子を形成し且つその表面側を平坦化する工程と、上記平坦化した各平坦面を水洗により親水性としたのち乾燥する工程と、次いで清浄な雰囲気下で上記各平坦面を直接密着し、この状態で200〔℃〕以上の温度で熱処理して上記各基板同志を接着する工程とを含むことを特徴とする半

導体装置の製造方法。

(3) 前記平坦化する工程は、前記素子を形成したのち前記基板の表面側を表面粗さ500〔Å〕以下に鏡面研磨することである特許請求の範囲第2項記載の半導体装置の製造方法。

(4) 前記平坦化する工程は、前記素子を形成する前に前記基板の表面を表面粗さ500〔Å〕以下に鏡面研磨することである特許請求の範囲第2項記載の半導体装置の製造方法。

(5) 前記平坦化する工程は、前記鏡面研磨したのち、該研磨面上にMOCVD法或いはMBE法によりエピタキシャル成長層を形成することである特許請求の範囲第4項記載の半導体装置の製造方法。

(6) 前記清浄な雰囲気とは、ゴミ浮遊量が20〔個/㎡〕以下の雰囲気であることを特徴とする特許請求の範囲第2項記載の半導体装置の製造方法。

(7) 前記熱処理により前記各平坦面の接着を行った後、前記第1の半導体基板の一部或いは全部を

除去することを特徴とする特許請求の範囲第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、発光素子や受光素子等の光半導体素子と電子素子とを一体形成した半導体装置及びその製造方法に関する。

(発明の技術的背景とその問題点)

半導体レーザ(LD)、発光ダイオード(LED)、光検出器等の発・受光デバイスと、FET、バイポーラトランジスタ等の電子デバイスとを同一基板上にモノリシックに集積化した、所謂集積化光デバイスは、動作の高速化がはかれることによる性能向上、集積化による信頼性向上、コストダウン等の多くの長所を有するため、光通信の分野でのその実現が望まれている。また、半導体電子デバイスの高速化に伴い、高密度に集積化されたLSIチップ間の信号伝達遅延が無視できなくなりつつある。このため、LSIチップ上に光半導体デバイスをモノリシックに集積化し、

- 3 -

電気信号に変えて光信号によりチップ間の信号伝送を行うことが論理演算回路の高速化をはかる上で極めて有力な手段となる。このような点から、発・受光デバイスを電子デバイスと同一基板上にモノリシックに集積化する技術の実現が強く望まれている。

しかしながら、電子デバイスが形成されているSi基板と、発・受光デバイスを構成する直接遷移型のGaAs, GaAlAs, InP, InGaAsP, InGaAs等の化合物半導体混晶とは格子定数が著しく異なるため、Si基板上にエピタキシャル成長法によって高品質な上記化合物半導体混晶を得ることは極めて困難である。即ち、両者の格子定数が異なるために、結晶成長界面に転位等の格子欠陥が高密度に導入され、これらが結晶成長と共に、エピタキシャル成長層中にも侵入し、非発光結合中心として働く結果、特に発・受光デバイスにおいては発光効率、受光感度の低下や素子寿命の劣化を招き、素子特性に致命的な悪影響を与えていた。このことが、発・受

- 4 -

光デバイスを電子デバイスと同一基板上に集積化する上での大きな障害になっている。

一方、電子デバイスの形成された半導体基板と発・受光デバイスの形成された半導体基板とを電極を介して積層一体化した従来のハイブリッド集積回路は、容易に実現できるが、この場合配線が長くなったり接触部の電極面積が大きくなったりする。このため、モノリシック集積化半導体装置に比べて寄生容量やインダクタンスが大きくなり、素子本来の性能を引出せないという欠点があった。

(発明の目的)

本発明は上記の事情を考慮してなされたもので、その目的とするところは、発・受光デバイスと電子デバイスとを集積一体化することができ、且つ素子特性の向上をはかり得る半導体装置を提供することにある。

また、本発明の他の目的は、従来のエピタキシャルによらず、発・受光デバイスと電子デバイスとの集積一体化を容易に行うことのできる半導体装置の製造方法を提供することにある。

- 5 -

(発明の概要)

本発明の骨子は、化合物半導体混晶等により形成された発・受光デバイスを、これと格子定数が極めて近い半導体基板上に形成し、これを電子デバイスの形成に適した半導体基板上に接合させることにより、発・受光デバイスと電子デバイスとを集積一体化することにある。

本発明者等は、2種の異なる結晶体、例えば発・受光デバイスの形成された化合物半導体混晶基板表面と電子デバイスの形成に適したSi基板表面とが、表面粗さ500[Å]以下の平坦面である場合、それら表面を水洗・乾燥した後、これらを例えばゴミ付遊量20[個/㎡]以下のクリーンルーム内で、上記各平坦表面間に実質的に異物が介入しない条件下で相互に密着させて200[℃]以上の温度で加熱することによって、2つの結晶体が強固に接合することを見出した。

従来、鏡面研磨された半導体ウェハ同志を水やアルコール等で濡れた状態で接触させると、両者が接着する現象はしばしば経験するところである。

- 6 -

しかしながら、これは水等の液体の表面張力によるものであり、乾燥させたウェハでは観察されていない。本発明者等は、鏡面研磨されたGaAs、InP等の化合物半導体やシリコンの表面を十分に清浄にし、且つ高度にクリーンな雰囲気の下で同種或いは異種の2つの面を接触させると強固な接合体が得られることを見出した。さらに、このようにして得られた接合体の接着強度を十分と高めるには、200〔℃〕以上の熱処理が必須であることが判った。この接着の現象を更に詳しく調べた結果、これら結晶の表面に自然酸化膜が形成されていることが接着させるための必須の条件であることが判った。この自然酸化膜の存在は、例えばエリブソメトリ等の方法で確かめられるが、より簡便には清浄化された表面に水滴を置き、それが広がることで容易に判定できる。即ち、表面が揮発性から親水性に変ることが自然酸化膜の存在の証拠になる。この自然酸化膜はさまざまな条件下で形成されるが、本発明者等の実験によれば高々数分の通常の水洗工程で十分であった。

- 7 -

これらの半導体基板をその表面側を直接接着して一体化するようにしたものである。

また本発明は、上記構造の半導体装置の製造方法において、第1の半導体基板の表面側に半導体発光素子或いは半導体受光素子を形成し且つその表面側を平坦化し、第2の半導体基板の表面側に電子素子を形成し且つその表面側を平坦化し、次いで上記平坦化された各平坦面を水洗により親水性としたのち乾燥し、しかるのち清浄な雰囲気下で上記各平坦面を直接密着させ、この状態で200〔℃〕以上の温度で熱処理して各基板同志を接着するようにした方法である。

(発明の効果)

本発明によれば、発・受光デバイスと電子デバイスとを独立なプロセスで製造できるので、その製造が極めて容易となる。また、それぞれの素子の特性を最適化することができるので、一体化後の素子性能を従来のモノリシック光電子集積化半導体装置に比べて大幅に向上させることができる。さらに、接着面は鏡面研磨されたままの面なので、

- 9 -

このようにして得られた親水性且つ正常な面を持つウェハ同志は容易に接着できるのに対し、例えば弗酸等に浸漬して自然酸化膜を除去し、さらに再び自然酸化膜が形成されないよう注意深く取扱い、表面が発水性を保っている面について接着を試みたが、十分な接着体得られないことが判った。また、十分な接着強度を得るために200〔℃〕以上の熱処理が必要な理由は、この温度付近で自然酸化膜の表面に存在する活性なOH基同志が反応し、半導体-O-半導体の強固な結合を作るためと考えられる。なお、このようにして接着された半導体同志は電気的に導通状態になることも確認された。

本発明はこのような点に着目し、発光素子及び受光素子等の光半導体素子と通常の電子素子とを含む半導体装置において、表面側に半導体発光素子或いは半導体受光素子が形成され且つ表面側が鏡面状態に形成された第1の半導体基板と、表面側に電子素子が形成され且つ表面側が鏡面状態に形成された第2の半導体基板とを具備してなり、

- 8 -

上部に電極や絶縁膜の凸部がなく、接着は容易である。しかも、不要な電極が接着面にないため、寄生容量を減らすことができる。この効果は、特に半絶縁性基板を用いると顕著に現われる。

また、従来のエピタキシャル成長法によることなく、電子デバイスの形成に適した、例えばSi基板上に別基板上に形成した化合物半導体混晶発・受光デバイスを集積化形成できるので、両者の格子定数が著しく異なる場合でも、良好な結晶により発・受光デバイスを構成でき、これらのデバイスの特性劣化を招くこともない。このため、格子定数の差異にとらわれることなく、発・受光デバイス及び電子デバイスそれぞれに適した基板上にそれらを形成することができ、発・受光デバイス-電子デバイス集積化デバイスの特性の向上及び組合わせ自由度の拡大による応用範囲の拡大をはかることができる。その結果、これらデバイスを利用した光通信及び計算機分野に与える効果は絶大である。

(発明の実施例)

- 10 -

まず、実施例を説明する前に、本発明の基本原則について説明する。

従来、ガラス板の平滑な面を極めて正常に保ち、このような2枚のガラス板を直接密着させると、その間の摩擦係数が増大して接合状態が得られることが知られている。そして、これに逆らって上記ガラス板の面同志を滑らすと、その接合面のむしり取りによるクラックが発生することもある。これに対して従来、半導体結晶体同志の上記ガラスの如き接合法が知られていないことは、半導体結晶体の接合すべき面の平滑性と其の清浄性を厳密に保つことが難しかったことが最大の原因であったと言える。

そこで本発明者等は、次のような処理を施すことにより、ガラス同志の接合のように半導体結晶体同志の接合も可能なことを見出した。即ち、2つの半導体結晶体の接合すべき面を表面粗さ500[Å]以下に平滑化し、5分間水洗した。平滑化の方法は、鏡面研磨或いは鏡面研削した表面上にその平坦さを損わない方法、例えば

- 11 -

の表面に吸着された水分子が殆ど脱離し、化学吸着により形成された-OH基の脱水結合が起こり始めることも知られている。これらのことを考え合わせれば、前記半導体結晶体相互の結合は、金属同志の接合として知られている相互拡散によるものではなく、半導体結晶体の表面酸化膜の水和層間の相互作用や、-OH基の脱水重合によって半導体-O-半導体なる強固な接合構造を成しているものと考えられる。

このような事實は、半導体結晶体の表面を親水性にし、その密着接合後に200[℃]以上の加熱処理を施せば、高い接着強度が得られることを意味している。

以下、本発明の詳細を図示の実施例によって説明する。

第1図(a)~(e)は本発明の一実施例に係わる半導体装置の製造工程を示す斜視図及び側面図である。この実施例は、GaAs系半導体レーザと電子デバイスとを集積一体化し、モノリシックに形成したものである。

- 13 -

MOCVD法或いはMBE法によってエピタキシャル成長層を形成して行う。得られた半導体の面は水に良く濡れ、自然酸化物の層が形成されることが推定された。その後、メタノール潤滑、フロン乾燥を行い、このようにして得られた半導体結晶体を、ゴミ揮散量20[個/m²]の実質的にゴミのないクリーンルーム中で上記接合面を相互に直接密着させて200[℃]以上の温度で熱処理したところ、両者は極めて強固に接合した。この接合体の接着強度は、熱処理温度200[℃]以上で特に著しく上昇する。

以上のことから、研磨した清浄な半導体の面は水洗だけで表面が親水性となり、清浄な環境下で且つ200[℃]以上の温度下で接合すれば強固に接着体を得ることができる。

一方、200[℃]程度の加熱温度では、半導体構成原子についてはもとより、最も拡散し易い1価イオンでも、半導体結晶中における拡散速度は通常無視できる程度に小さいことは周知である。また、この200[℃]付近の温度では、酸化膜

- 12 -

まず、第1図(a)に示す如くN-GaAs基板11の上面を表面粗さ500[Å]以下に鏡面研磨したのち、この基板11上にN-Ga_{0.95}Al_{0.05}Asクラッド層12、アンドープGaAs活性層13、P-Ga_{0.95}Al_{0.05}Asクラッド層14及びN-GaAsコンタクト層15を順次成長形成する。このとき、成長層表面が当初の鏡面研磨した基板表面の平坦性を損うことのないようMOCVD法或いはMBE法によって成長形成することが望ましい。

次いで、SiNをマスクとして、第1図(b)に示す如く幅5[μm]程度のストライプ状部分の表面にZn拡散を行い、N-GaAsコンタクト層15の一部をP型化してP-GaAsコンタクト層16を形成する。これは、GaAs活性層13に流れる電流をストライプ状に狭窄するためのものである。

次いで、フォトリソ等マスクとして、BCl₃+Cl₂混合ガスによる反応性イオンエ

- 14 -

ツチング法により、第1図(c)に示す如く電流ストライプ(P型コンタクト層)16と垂直に共振器端面18を形成すると共に、不要な部分をエッチング除去する。これにより、半導体レーザ基体10が形成される。

次に、第1図(d)に示す如く、電子デバイスの製造に適したSi基板19の表面を表面粗さ500[Å]以下に鏡面研磨し、先に述べた手順により、半導体レーザ基体10と接着した。熱処理は、H₂雰囲気中500[℃]で1時間行った。また、Si基板19としては、B等の適当な不純物のイオン打込み或いは拡散により、表面をP型伝導としたものを用いた。かくして、Si基板19上にGaAs-GaAlAs半導体レーザが得られることになる。

なお、Si基板19上に形成する電子デバイスは、上記の接着工程前に予め形成しておくのが望ましい。また、必要があれば、NH₄-H₂O₂-H₂O系等のエッチング液を用いて、第1図(e)に示す如くN-GaAs基板11を最終的

- 15 -

に除去するようにしてもよい。

かくして得られた半導体装置においては、半導体レーザ10が良好な特性を示し、またP-GaAsコンタクト層16とP型Si基板19の表面とは良好な電気伝導特性を示した。従って本実施例によれば、半導体レーザと通常の電子デバイスとをモノリシックに形成することができ、しかも半導体レーザ及び電子デバイスをそれぞれ単体で作製したときと同等の特性にすることができる。このため、半導体レーザ-電子デバイスの集積化デバイスの特性の向上及び組合わせ自由度の拡大をはかることができ、光通信の分野に与える効果は絶大である。

第2図(a)~(h)は他の実施例に係わる半導体装置の製造工程を示す断面図である。この実施例は、InGaAsP系半導体レーザとこのレーザを駆動するGaAs系MESFETとを集積一体化したものである。

まず、第2図(a)に示す如く、半絶縁性InP基板21の表面に凹部22を形成し、この

- 16 -

凹部22内に同図(b)に示す如く

P⁺-In_{1-u}Ga_uAs_vP_{1-v}電極取出し層23、P-InPクラッド層24、アンドープIn_{1-x}Ga_xAs_yP_{1-y}活性層25及びN-InPクラッド層26を順次成長形成する。

次いで、第2図(c)に示す如くクラッド層24、26及び活性層25を、レーザ発振領域を除いてメサエッチングし、その後同図(d)に示す如くメサの側部をN-InP埋込み層27及びP-InP埋込み層28で埋込んだ。次いで、第2図(e)に示す如く凹部22内の不要部を全てメサエッチングで除去し、最後にP⁺型電極取出し層23上にオーミック電極29を形成する。これにより、半導体レーザ基体20が形成されることになる。

ここで、成長するメサ部の高さは凹部22の外側と同じ高さになるよう調整し、最後の鏡面研磨で完全に同一高さとする。図には示さないが、最後に研磨を行うために、半導体レーザ基体及び後述する電子素子部基体共に凹部内の素子主要部

- 17 -

には、必要に応じて研磨の前に保護膜を付けるものとする。

一方、第2図(f)に示す如く半絶縁性GaAs基板31上に凹部32を形成し、この凹部32の表面にSiイオン注入でN型活性層33を形成する。次いで、第2図(g)に示す如くゲート部ショットキー電極34をFETチャネル部上部に作り、該ゲート電極をマスクとしてN⁺型領域35をイオン注入で形成し、ソース電極36を作製する。これにより、電子デバイス基体30が形成されることになる。

以上のようにして作製した基体20、30の表面を鏡面研磨して、先に述べた手順により水洗洗浄後位置合わせして圧着すると、2つの基体は一体の半導体装置となる。ここで、鏡面研磨は表面粗さが500[Å]以下となる条件とし、熱処理はH₂雰囲気中500[℃]で1時間行った。

かくして製造された半導体装置は、製造方法が簡単であるため、製造歩留りや信頼性が高く、また半導体レーザと電子デバイスとの特性をそれぞれ

- 18 -

れ最適化することができる。さらに、半導体レーザのN-InPクラッド層26と電子デバイスのN⁺型層35との接続配線が不要となり、寄生容量等も小さくできる構造を持つので、高いパフォーマンスを有する。

なお、本発明は上述した各実施例に限定されるものではない。例えば、前記発光・受光デバイスとしては、半導体レーザの代りに発光ダイオード、PINフォトダイオード及びアバランシェフォトダイオード等を用いることが可能であり、またそれらの材料としてはGaAs/GaAlAs、InP/InGaAsP等のIII-V族化合物半導体の他に、HgCdTe、ZnS、ZnSe等のII-VI族化合物半導体にも適用可能である。同様に、電子デバイス形成に適した基板としては、Si、InPの他に、GaAs等の半導体を用いることが可能である。また、半導体基板の表面に素子形成を行った後その表面が鏡面状態であれば、鏡面研磨工程を省略してよいのは明らかであり、このことから鏡面研磨工程と素子形成工程の順序を入

- 19 -

極、30…電子デバイス基板、31…Si基板、32…凹部、33…N型活性層、34…ショットキー電極、35…N⁺型領域、36…ソース電極。

替えてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

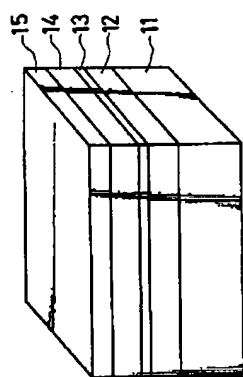
第1図(a)～(e)は本発明の一実施例に係わる半導体装置の製造工程を示す斜視図及び側面図、第2図(a)～(h)は他の実施例に係わる半導体装置の製造工程を示す断面図である。

10…半導体レーザ基板、11…N-GaAs基板、12…N-GaAlAsクラッド層、13…アンドープGaAs活性層、14…P-GaAlAsクラッド層、15…N-GaAsコンタクト層、16…P-GaAsコンタクト層、18…共振器端面、19…Si基板、20…半導体レーザ基板、21…半絶縁性InP基板、22…凹部、23…P⁺-InGaAsP電極取出し層、24…P-InPクラッド層、25…アンドープInGaAsP活性層、26…N-InPクラッド層、27…N-InP埋込み層、28…P-InP埋込み層、29…オーミック電

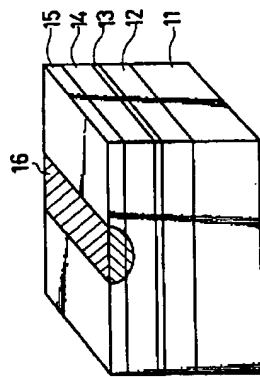
- 20 -

出願人代理人 弁理士 鈴江武彦

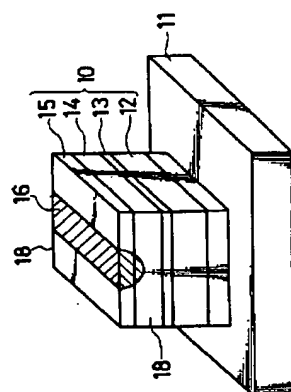
第1図



(a)

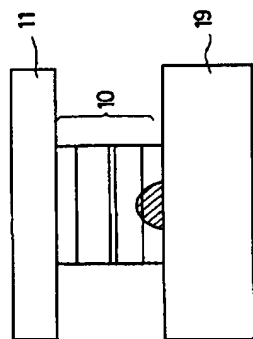


(b)

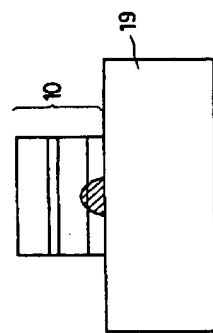


(c)

第1図

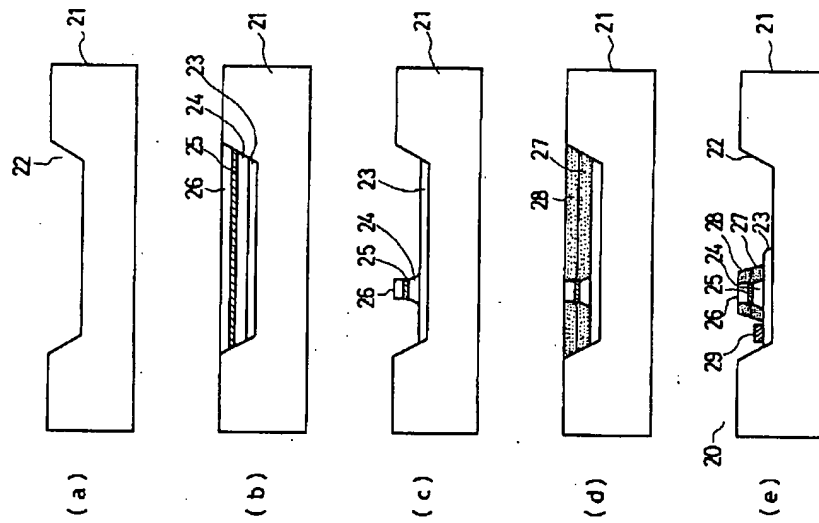


(d)



(e)

第 2 圖



第 2 圖

